

**CLOCK REPRODUCING/IDENTIFYING DEVICE**

**Patent number:** JP2000228660  
**Publication date:** 2000-08-15  
**Inventor:** TAGAMI HITOSHI; MOTOJIMA KUNIAKI  
**Applicant:** MITSUBISHI ELECTRIC CORP  
**Classification:**  
**- International:** *H03L7/06; H03L7/07; H03L7/08; H04L7/027; H04L7/033; H03L7/06; H03L7/07; H03L7/08; H04L7/027; H04L7/033; (IPC1-7): H04L7/033; H03L7/08*  
**- european:** H03L7/06; H03L7/07; H03L7/08E; H04L7/027  
**Application number:** JP19990121214 19990428  
**Priority number(s):** JP19990121214 19990428; JP19980343790 19981203

Also published as:

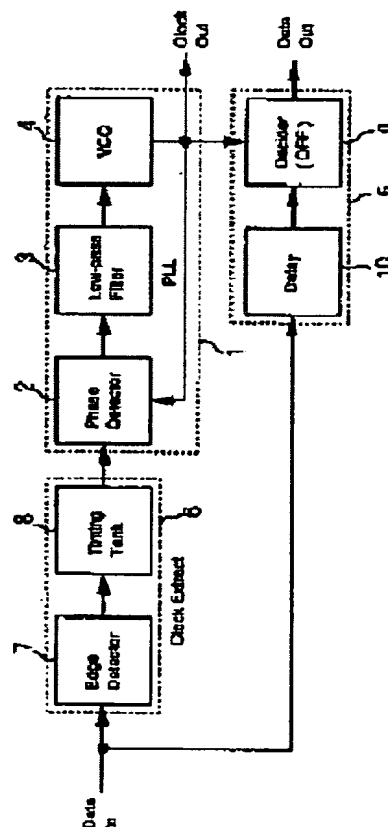


EP1006660 (A2)  
 US6249160 (B1)  
 EP1006660 (A3)  
 EP1006660 (B1)  
 DE69918250T (T2)

Report a data error here

**Abstract of JP2000228660**

**PROBLEM TO BE SOLVED:** To reproduce an identification clock from a data signal and to identify input data by providing a phase synchronizing means which reproduces an identification clock whose frequency and phase synchronizes with a transmission path clock, an identifying means which identifies input data with the identification clock, etc. **SOLUTION:** A phase synchronizing means 1 operates so that the fall of a transmission path clock can coincide with the fall of an identification clock in timing. That is, input data and the identification clock have a phase error for delay time of a clock extracting means 6. A data delaying device 10 in an identifying means 5 is provided to negate the phase error between the input data and the identification clock and delays the input data for delay time in the means 6. Then, the change point of the input data and the fall timing of the identification clock coincide, a discrimination circuit 9 identifies the input data at the rise of the identification clock and can identify a data signal with an optimum identification phase to the input data.



Data supplied from the esp@cenet database - Worldwide

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-228660

(P2000-228660A)

(43)公開日 平成12年 8 月15日 (2000.8.15)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テーマード(参考)

H 0 4 L 7/033

H 0 4 L 7/02

B

H 0 3 L 7/08

H 0 3 L 7/08

M

審査請求 未請求 請求項の数12 O L (全 15 頁)

(21)出願番号 特願平11-121214

(22)出願日 平成11年 4 月28日 (1999.4.28)

(31)優先権主張番号 特願平10-343790

(32)優先日 平成10年12月 3 日 (1998.12.3)

(33)優先権主張国 日本 (J P)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72)発明者 田上 仁之

東京都千代田区丸の内二丁目 2 番 3 号 三

菱電機株式会社内

(72)発明者 本島 邦明

東京都千代田区丸の内二丁目 2 番 3 号 三

菱電機株式会社内

(74)代理人 100102439

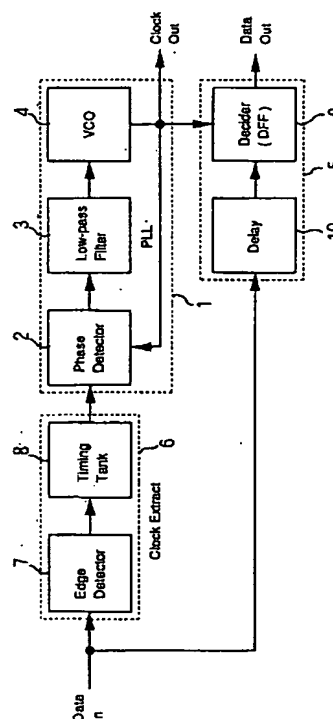
弁理士 宮田 金雄 (外 2 名)

(54)【発明の名称】 クロック再生／識別装置

(57)【要約】

【課題】 入力データに歪みがある場合は、位相状態が遷移し、安定な位相同期状態がない。クロック信号として出力される識別クロックおよび識別手段5で識別されたデータ信号でのジッタになると共に、識別手段5での位相余裕が実質的に少なくなる。

【解決手段】 クロック抽出回路が入力データから伝送路クロックを抽出し、位相同期手段が周波数と位相を上記伝送路クロックに同期した識別クロックを再生する。そして、識別手段が上記入力データを上記識別クロックで識別する。



## 【特許請求の範囲】

【請求項 1】 入力データから伝送路クロックを抽出するクロック抽出手段と、周波数と位相が上記伝送路クロックに同期した識別クロックを再生する位相同期手段と、上記入力データを上記識別クロックで識別する識別手段を有することを特徴とするクロック再生／識別装置。

【請求項 2】 上記クロック抽出手段は、上記入力データの変化点を検出する変化点検出器と、所定の周波数帯域の通過特性を持ち、上記伝送路クロックを抽出する周波数同調器とを有することを特徴とする請求項 1 に記載のクロック再生／識別装置。

【請求項 3】 上記識別手段は、上記入力データに定められた遅延時間を与えるデータ遅延器と、該データ遅延器の出力を上記識別クロックで識別する識別器とを有することを特徴とする請求項 1 に記載のクロック再生／識別装置。

【請求項 4】 上記識別手段は、上記識別クロックに定められた遅延時間を与えるクロック遅延器と、上記入力データを上記クロック遅延器の出力で識別する識別器とを有することを特徴とする請求項 1 に記載のクロック再生／識別装置。

【請求項 5】 上記データ遅延器は、制御信号により定められた遅延時間を与える可変遅延回路と、該可変遅延回路の出力と上記識別クロックとの位相差に応じた位相差信号を与える位相比較回路と、該位相比較回路の出力を積分して上記制御信号とする積分回路とを有することを特徴とする請求項 3 に記載のクロック再生／識別装置。

【請求項 6】 上記クロック遅延器は、制御信号により定められた遅延時間を与える可変遅延回路と、該可変遅延回路の出力と上記入力データの位相差に応じた位相差信号を与える位相比較回路と、該位相比較回路の出力を積分して上記制御信号とする積分回路とを有することを特徴とする請求項 4 に記載のクロック再生／識別装置。

【請求項 7】 制御信号により定められた遅延時間を与える第 2 の可変遅延回路を有し、上記入力データが第 2 の可変遅延回路を介して上記可変遅延回路に与えられる事を特徴とする請求項 5 に記載のクロック再生／識別装置。

【請求項 8】 制御信号により定められた遅延時間を与える第 2 の可変遅延回路を有し、上記入力データが第 2 の可変遅延回路を介して上記クロック抽出手段に与えられる事を特徴とする請求項 5 に記載のクロック再生／識別装置。

【請求項 9】 制御信号により定められた遅延時間を与える第 2 の可変遅延回路を有し、上記識別クロックが第 2 の可変遅延回路を介して上記識別手段に与えられる事を特徴とする請求項 5 に記載のクロック再生／識別装置。

【請求項 10】 制御信号により定められた遅延時間を与える第 2 の可変遅延回路を有し、上記入力データが第 2 の可変遅延回路を介して上記可変遅延回路に与えられる事を特徴とする請求項 6 に記載のクロック再生／識別装置。

【請求項 11】 制御信号により定められた遅延時間を与える第 2 の可変遅延回路を有し、上記入力データが第 2 の可変遅延回路を介して上記クロック抽出手段に与えられる事を特徴とする請求項 6 に記載のクロック再生／識別装置。

【請求項 12】 制御信号により定められた遅延時間を与える第 2 の可変遅延回路を有し、上記識別クロックが第 2 の可変遅延回路を介して上記識別手段に与えられる事を特徴とする請求項 6 に記載のクロック再生／識別装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はデータ信号から識別クロックを再生し、入力データを識別するクロック再生／識別装置に関するものである。

【0002】

【従来の技術】図 14 は例えば 1998 年電子情報通信学会エレクトロニクスソサイティ大会 C-12-44 に示された従来のクロック再生／識別装置である。

【0003】従来のクロック再生／識別装置の構成および動作について説明する。ここで位相同期手段 1 は、位相比較回路 2 と積分回路 3 と電圧制御発振回路（以下 VC0 と略す）4 で構成されたとする。位相比較回路 2 は図 15 に示す位相比較特性を有する様な論理回路であるとする。即ち伝送路クロック周期を  $2\pi$  として、入力データと VC0 4 の出力である識別クロックの位相差  $\phi$  が  $-\pi < \phi < 0$  である時はハイレベルを出力し、 $0 < \phi < \pi$  である時はローレベルを出力する。 $\phi = 0$  である時はハイレベルとローレベルの中間電位を出力する。また積分回路 3 は伝送路クロック周期に対して十分長い時定数を有するローパスフィルタであるとする。更に VC0 4 は図 16 に示す様な制御電圧対発振周波数特性を有するとする。

【0004】図 17 (a) に識別クロックの位相が進んでいる場合のタイミングチャートを示す。位相比較回路 2 は入力データの変化点と識別クロックの立ち下がりタイミングを比較し、ハイレベルを出力する。積分回路 3 は伝送路クロックの周期に対して十分大きな時定数で位相比較回路 2 の出力を積分し、出力がハイレベルへ徐々に遷移していく。積分回路 3 の出力は VC0 4 の制御電圧として入力され、発振周波数が減少する。したがって入力データの変化点と識別クロックの立ち下がりタイミングが一致する方向に位相差  $\phi$  が減少していく。

【0005】図 17 (b) に識別クロックの位相が遅れている場合のタイミングチャートを示す。位相比較回路 2

## 3

はローレベルを出力し、積分回路3の出力がローレベルへ徐々に遷移していく。VC04の発振周波数が増加し、入力データの変化点と識別クロックの立ち下がりタイミングが一致する方向に位相差 $\phi$ が減少していく。

【0006】図17(c)に入力データ信号の変化点と識別クロックの立ち下がりタイミングが一致した同期状態でのタイミングチャートを示す。位相比較回路2はハイレベルとローレベルの中間電位を出力し、積分回路3の出力もハイレベルとローレベルの中間電位を出力する。VC04の発振周波数は固定され、入力データの変化点と識別クロックの立ち下がりタイミングが一致した同期状態を維持する。仮に位相比較回路2の利得が同期状態で無限大であるとする、出力は入力データ信号や識別クロックが有するジッタによりハイレベルとローレベルの間で不定状態となる。しかし光通信システム等では通常、データ信号はスクランブルされマーク率が0.5であるので、積分回路3の出力はハイレベルとローレベルの中間電位となる。

【0007】以上の様に位相同期手段1は、入力データの変化点と識別クロックの立ち下がりタイミングが一致する同期状態に収束する。識別手段5は入力データを識別クロックの立ち上がりで識別する事により、入力データに対して最適な識別位相でデータ信号を識別、再生できる。

【0008】

【発明が解決しようとする課題】図17では入力データのデューティが100%（デューティ：伝送路クロック周期に対する立ち上がりから立ち下がりまでの時間比率）であるとして、位相同期手段1の動作を説明した。しかし実際は前段に接続される等化増幅装置等での波形歪みにより、入力データのデューティが変化する場合がある。

【0009】図18に入力データに歪みがある場合の位相同期手段1のタイミングチャートを示す。ハイレベル時間がローレベル時間よりも長くなるように、入力データに歪みがあるとして説明する。図18(a)に入力データの立ち上がりタイミングと識別クロックの立ち下がり位相が一致する場合のタイミングチャートを示す。入力データの立ち上がり変化点では識別クロックの立ち下がり位相が一致しているので、位相比較回路2の出力は中間電位を出力する。入力データの立ち下がり変化点では識別クロックの立ち下がり位相が進んでいるので、位相比較回路2の出力はハイレベルを出力する。積分回路3の出力はハイレベルへ遷移し、VC04の発振周波数が減少する。したがって入力データの立ち下がり変化点と識別クロックの立ち下がりタイミングが一致する方向に位相差 $\phi$ がシフトしていく。

【0010】図18(b)に入力データの立ち下がりタイミングと識別クロックの立ち下がり位相が一致する場合のタイミングチャートを示す。入力データの立ち上がり変化点では識別クロックの立ち下がり位相が遅れているので、位相比較回路2の出力はローレベルを出力する。入力データ

## 4

の立ち下がり変化点では識別クロックの立ち下がり位相が一致しているので、位相比較回路2の出力は中間電位を出力する。積分回路3の出力はローレベルへ遷移し、VC04の発振周波数が増加する。したがって入力データの立ち上がり変化点と識別クロックの立ち下がりタイミングが一致する方向に位相差 $\phi$ がシフトしていく。

【0011】図18(c)に入力データの中央と識別クロックの立ち上がり位相が一致する場合のタイミングチャートを示す。この位相は図18(a)、図18(b)に示した位相の中間の位相状態である。入力データの立ち上がり変化点では識別クロックの立ち下がり位相が遅れているので、位相比較回路2の出力はローレベルを出力する。入力データの立ち下がり変化点では識別クロックの立ち下がり位相が進んでいるので、位相比較回路2の出力はハイレベルを出力する。入力データの歪みはハイレベル時間がローレベル時間よりも長いので、積分回路3の出力はローレベルへ遷移し、VC04の発振周波数が増加する。したがって入力データの立ち上がり変化点と識別クロックの立ち下がりタイミングが一致する方向に位相差 $\phi$ がシフトしていく。

【0012】以上の様に入力データに歪みがある場合の位相同期手段1は、図17(c)の様な安定な位相同期状態がない。ハイレベル時間がローレベル時間よりも長くなるような入力データ歪みの場合は、図18(a)と図18(c)の間で位相状態が遷移する。この位相遷移は、クロック信号として出力される識別クロックおよび識別手段5で識別されたデータ信号でのジッタになるとともに、識別手段5での位相余裕を実質的に少なくするという従来のクロック再生／識別装置での問題点がある。

【0013】また図17では入力データが“1、0”パターンの繰り返し信号であり、入力データの各変化点において常に位相を同期せしめる上述の位相同期ループが機能するとして、位相同期手段1の動作を説明した。しかし実際に入力データはランダムな伝送信号であり、長い同符号が連続して受信される場合がある。国際標準化委員会ITU-T G.958では72ビットの同符号連続を含む入力データに対して、正確なデータ再生ができる事を要求している。

【0014】同符号が連続して受信されると、入力データに変化点がないので位相比較回路2は動作せず、位相同期手段1が有する位相同期ループは機能しない。一般的に積分回路3は位相比較回路2の出力をコンデンサにチャージする事で積分機能を実現するので、長い同符号連続を含む入力データが受信された場合には位相同期を実現し続ける電荷の補給がなく、コンデンサから電荷がディスチャージされていく。これに伴いVC04の発振周波数が増加し、位相同期状態から外れるという従来のクロック再生／識別装置での問題点がある。

【0015】

【課題を解決するための手段】第1の発明に係わるクロ

## 5

ック再生／識別装置は、上記入力データから伝送路クロックを抽出するクロック抽出手段と、周波数と位相が上記伝送路クロックに同期した識別クロックを再生する位相同期手段と、上記入力データを上記識別クロックで識別する識別手段を有するものである。

【0016】第2の発明に係わるクロック再生／識別装置は、上記クロック抽出手段が、上記入力データの変化点を検出する変化点検出器と、所定の周波数帯域の通過特性を持ち、伝送路クロックを抽出する周波数同調器とを有するものである。

【0017】第3の発明に係わるクロック再生／識別装置は、上記識別手段が、上記入力データに定められた遅延時間を与えるデータ遅延器と、該データ遅延器の出力を上記識別クロックで識別する識別器とを有するものである。

【0018】第4の発明に係わるクロック再生／識別装置は、上記識別手段が、上記識別クロックに定められた遅延時間を与えるクロック遅延器と、上記入力データを上記クロック遅延器の出力で識別する識別器とを有するものである。

【0019】第5の発明に係わるクロック再生／識別装置は、上記データ遅延器が、制御信号により定められた遅延時間を与える可変遅延回路と、該可変遅延回路の出力と上記識別クロックとの位相差に応じた位相差信号を与える位相比較回路と、該位相比較回路の出力を積分して上記制御信号とする積分回路とを有するものである。

【0020】第6の発明に係わるクロック再生／識別装置は、上記クロック遅延器が、制御信号により定められた遅延時間を与える可変遅延回路と、該可変遅延回路の出力と上記入力データの位相差に応じた位相差信号を与える位相比較回路と、該位相比較回路の出力を積分して上記制御信号とする積分回路とを有するものである。

【0021】第7の発明に係わるクロック再生／識別装置は、制御信号により定められた遅延時間を与える第2の可変遅延回路を有し、上記入力データが第2の可変遅延回路を介して上記可変遅延回路に与えられるものである。

【0022】第8の発明に係わるクロック再生／識別装置は、制御信号により定められた遅延時間を与える第2の可変遅延回路を有し、上記入力データが第2の可変遅延回路を介して上記クロック抽出手段に与えられるものである。

$$Q = f_0 / \Delta f$$

【0030】排他的論理和72の出力である変化点検出信号が周波数同調器8に入力されると、変化点検出信号の周波数スペクトラムから周波数同調器8の通過帯域で規定された周波数成分のみが選択されて出力される。

(1)式で示すQ値が大きいほど純粋な伝送路クロック周波数が出力され、周波数同調器8の出力は伝送路クロック周波数を有する正弦波波形となる。周波数同調器8

## 6

【0023】第9の発明に係わるクロック再生／識別装置は、制御信号により定められた遅延時間を与える第2の可変遅延回路を有し、上記識別クロックが第2の可変遅延回路を介して上記識別手段に与えられるものである。

【0024】第10の発明に係わるクロック再生／識別装置は、制御信号により定められた遅延時間を与える第2の可変遅延回路を有し、上記入力データが第2の可変遅延回路を介して上記可変遅延回路に与えられるものである。

【0025】第11の発明に係わるクロック再生／識別装置は、制御信号により定められた遅延時間を与える第2の可変遅延回路を有し、上記入力データが第2の可変遅延回路を介して上記クロック抽出手段に与えられるものである。

【0026】第12の発明に係わるクロック再生／識別装置は、制御信号により定められた遅延時間を与える第2の可変遅延回路を有し、上記識別クロックが第2の可変遅延回路を介して上記識別手段に与えられるものである。

【0027】

【発明の実施の形態】実施の形態1. 図1は本実施の形態によるクロック再生／識別装置の構成図である。図1において、6はクロック抽出手段で、入力データから伝送路クロックを抽出する機能を有する。1は位相同期手段で、伝送路クロックに位相の同期した識別クロックを生成する機能を有する。5は識別手段で、入力データを最適な位相状態で識別する機能を有する。

【0028】図2は図1に示すクロック抽出手段6の詳細な構造図である。図3は図2に示すクロック抽出手段6のタイミングチャートである。クロック抽出手段6は変化点検出器7と周波数同調器8で構成し、更に変化点検出器7は遅延回路71と排他的論理和72で構成する。入力データと遅延回路71により所定の遅延量を与えられた入力データは、排他的論理和72に入力される。排他的論理和72は、入力データの各変化点において遅延回路71で与えられた遅延量のパルス幅を有する変化点検出信号を出力する。

【0029】周波数同調器8は予め設定されている伝送路クロック周波数( $f_0$ )を中心に $\pm \Delta f / 2$ の通過帯域を有するバンドパスフィルタであり、Q値は次式で与えられる。

(1)

は伝送路クロック近傍の周波数しか通過しないので、周波数同調器8の正弦波波形は入力データの歪みには影響されない。したがって、入力データが歪んだ場合にもデュティ50%の歪みのない伝送路クロックが出力される。

【0031】また同符号連続を含む入力データが与えられた場合、変化点検出器7の出力は同符号連続部分では

## 7

信号を出力しない。しかし周波数同調器 8 が仮に無損失であるとすると入力された信号エネルギーが保存されて出力され、周波数同調器 8 は同符号連続部でも伝送路クロックを出力し続ける。同符号連続部で周波数同調器 8 が伝送路クロックを出力し続ける時間は、概略 Q 値で規定される。即ち  $Q=100$  程度の周波数同調器 8 であれば、国際標準化委員会 ITU-T G.958 で規定されている 72 ビットの同符号連続を含む入力データに対して、伝送路クロックを連続して出力し続ける事ができる。

【0032】位相同期手段 1 は、位相比較回路 2 が伝送路クロックの立ち下がりタイミングで識別クロックとの位相差を検出する事を除いて、従来のクロック再生／識別装置における位相同期手段 1 と同一である。位相同期手段 1 の動作は図 17 に示したタイミングチャートと同一であり、図中に伝送路クロックも併記している。従来のクロック再生／識別装置において説明した動作によって、位相同期手段 1 は伝送路クロックの立ち下がりと識別クロックの立ち下がりタイミングが一致するように動作する。

【0033】位相同期手段 1 は伝送路クロックの立ち下がりと識別クロックの立ち下がりタイミングが一致するように動作するので、入力データと識別クロックは、クロック抽出手段 6 での遅延時間分の位相誤差を有している。識別手段 5 におけるデータ遅延器 10 は、入力データと識別クロックの位相誤差を打ち消すために設けられたものであり、クロック抽出手段 6 での遅延時間分だけ入力データを遅延させる。入力データの変加点と識別クロックの立ち下がりタイミングが一致し、識別器 9 は入力データを識別クロックの立ち上がりで識別することにより、入力データに対して最適な識別位相でデータ信号を識別、再生できる。

【0034】以上の様に図 1 に示すクロック再生／識別装置では、入力データに歪みがある場合にも歪みのない伝送路クロックに対して識別クロックの位相を同期させるので、ジッタのない安定な位相同期状態を有する事ができる。また長い同符号連続を含む入力データが受信された場合にも周波数同調器 8 により伝送路クロックが出力し続けるので、位相同期を保持する事ができる。

【0035】実施の形態 2、図 4 は本実施の形態 2 によるクロック再生／識別装置の構成図である。図 1 において、識別手段 5 は識別器 9 とデータ遅延器 10 で構成され、データ遅延器 10 は入力データの変化点と識別クロックの立ち下がりタイミングが一致するように、クロック抽出手段 6 での遅延時間分だけ入力データを遅延させる。データ系列の任意性により、入力データの周波数スペクトラムは直流成分から伝送路クロックの半分の周波数（“1、0”データパターン）までの周波数成分を含む可能性がある。データ遅延器 10 でデータ信号が歪まないためには、広い周波数でフラットな通過特性を有するデータ遅延器 10 が必要である。

## 8

【0036】図 1 と比較して、図 4 は識別手段 5 が識別器 9 とクロック遅延器 11 により構成されている事が異なる。図 4 では、入力データの変化点と識別クロックの立ち下がりタイミングが一致するように、クロック遅延器 11 が識別クロックに遅延を与える。識別クロックに遅延を与えて入力データの変化点と識別クロックの立ち下がりタイミングを一致させても、識別器 9 は入力データを識別クロックの立ち上がりで識別する事により、入力データに対して最適な識別位相でデータ信号を識別、再生できる。識別クロックは、伝送路クロックに周波数、位相が同期しているから、伝送路クロック近傍の周波数成分しか含まない。クロック遅延器 11 は伝送路クロック近傍の周波数でフラットな通過特性を有していれば良く、回路構成が容易になる。

【0037】クロック抽出手段 6、位相同期手段 1 は図 1、図 2 および図 3 に示す構成および動作が同一である。したがって図 4 に示すクロック再生／識別装置では、入力データに歪みがある場合にも歪みのない伝送路クロックに対して識別クロックの位相を同期させるので、ジッタのない安定な位相同期状態を有する事ができる。また長い同符号連続を含む入力データが受信された場合にも周波数同調器 8 により伝送路クロックが出力し続けるので、位相同期を保持する事ができる。

【0038】実施の形態 3、図 5 は本実施の形態 3 によるクロック再生／識別装置の構成図である。図 1 と比較して、図 5 はデータ遅延器 10 が可変遅延回路 12、位相比較回路 13、積分回路 14 で構成されている事が異なる。図 1 におけるデータ遅延器 10 は、クロック抽出手段 6 での遅延時間を有する固定遅延器である事を含んでいる。図 5 におけるデータ遅延器 10 は、識別器 9 に入力される入力データの変化点と識別クロックの立ち下がりタイミングが一致するように入力データの遅延時間が自動制御されるために設けられている。

【0039】また図 14 に示す従来のクロック再生／識別装置での位相同期手段 1 では、積分回路 3 の出力を制御電圧として VC04 の発振周波数を変化させる事で、入力データの変化点と識別クロックの立ち下がりタイミングが一致する様に制御されている。図 5 におけるデータ遅延器 10 の構成は、図 14 に示す従来のクロック再生／識別装置の位相同期手段 1 と較べて、VC04 が可変遅延回路 12 に置き換えられている。可変遅延回路 12 は制御電圧により遅延量が異なる可変遅延回路である。図 5 におけるデータ遅延器 10 では、積分回路 14 の出力を制御電圧として可変遅延回路 12 の遅延量を変化させる事で入力データの変化点と識別クロックの立ち下がりタイミングが一致する様に制御され、そのタイミングチャートは図 17 と同一である。

【0040】位相比較回路 13 は入力データと識別クロックとの位相比較を行うので、入力データに歪みがある場合には図 18 で説明した様な不安定な位相遷移が生じ

る。従来のクロック再生／識別装置での位相同期手段 1 では、入力データの変化点と識別クロックの立ち下がりタイミングが一致する様に識別クロック位相が制御されるので、この位相遷移は識別クロックおよび識別されたデータ信号でのジッタになる。しかし図 5 の構成では入力データの遅延量が制御され、識別クロックは伝送路クロックと位相が一致しているので、位相遷移による識別クロックおよび識別されたデータ信号でのジッタ増加はない。また識別器 9 の位相余裕が十分あれば、位相遷移による識別誤りは生じない。

【0041】クロック抽出手段 6、位相同期手段 1 は図 1、図 2 および図 3 に示す構成および動作と同一である。したがって図 5 に示すクロック再生／識別装置では、入力データに歪みがある場合にも歪みのない伝送路クロックに対して識別クロックの位相を同期させるので、ジッタのない安定な位相同期状態を有する事ができる。また長い同符号連続を含む入力データが受信された場合にも周波数同調器 8 により伝送路クロックが出力し続けるので、位相同期を保持する事ができる。更に入力データの変化点と識別クロックの立ち下がりタイミング

【0042】実施の形態 4. 図 6 は本実施の形態 4 を示すクロック再生／識別装置の構成図である。図 4 と比較して、図 6 はクロック遅延器 11 が可変遅延回路 12、位相比較回路 13、積分回路 14 で構成されている事が異なる。図 4 におけるクロック遅延器 11 は、クロック抽出手段 6 での遅延時間を有する固定遅延器である事を含んでいる。図 6 におけるクロック遅延器 11 は、識別器 9 に入力される入力データの変化点と識別クロックの立ち下がりタイミングが一致するように識別クロックの遅延時間が自動制御されるために設けられている。

【0043】また図 6 におけるクロック遅延器 11 は、可変遅延回路 12 が識別クロックに遅延を与える事を除いて、図 5 におけるデータ遅延器 10 の動作と同様である。図 6 の構成では入力データの変化点と識別クロックの立ち下がりタイミングが一致する様に識別クロック位相が制御されるので、図 18 で説明した様な不安定な位相遷移が識別クロックおよび識別されたデータ信号でのジッタになる。しかし図 6 におけるクロック遅延器 11 は、図 4 におけるクロック遅延器 11 の遅延量設定を不必要とする自動制御のために設けられたものであり、その応答速度は図 14 に示した従来のクロック再生／識別装置における位相同期手段 1 の応答時間に較べて十分に遅くて良い。したがってクロック遅延器 11 の応答速度を遅くするほど、識別クロックおよび識別されたデータ信号でのジッタは少なくなる。また識別器 9 の位相余裕が十分あれば、位相遷移による識別誤りは生じない。

【0044】また実施の形態 2 で説明したように、クロ

ック遅延器 11 は伝送路クロック近傍の周波数でフラットな通過特性を有していれば良く、データ遅延器 10 を用いた実施の形態 3 に較べて回路構成が容易になる。

【0045】クロック抽出手段 6、位相同期手段 1 は図 1、図 2 および図 3 に示す構成および動作と同一である。したがって図 6 に示すクロック再生／識別装置では、入力データに歪みがある場合にも歪みのない伝送路クロックに対して識別クロックの位相を同期させるので、ジッタのない安定な位相同期状態を有する事ができる。また長い同符号連続を含む入力データが受信された場合にも周波数同調器 8 により伝送路クロックが出力し続けるので、位相同期を保持する事ができる。更に入力データの変化点と識別クロックの立ち下がりタイミングが一致するように識別クロックの遅延時間が自動制御されるので、図 4 に示した実施の形態におけるクロック遅延器 11 の設定が不必要である。

【0046】実施の形態 5. 図 5 に示す実施形態 3 において、位相同期手段 1 とデータ遅延器 10 の動作が収束している場合には、周波数同調器 8 と VC04 と可変遅延回路 12 の出力信号位相が一致している。即ち可変遅延回路 12 の遅延時間は、クロック抽出手段 6 での信号遅延時間と同一となるように制御されている。データ遅延器 10 が収束するために必要な可変遅延回路 12 の遅延可変幅は、クロック抽出手段 6 での信号遅延時間以上に設定する必要があるが、実際のクロック再生／識別装置では、クロック抽出手段 6 および可変遅延回路 12 の遅延時間の温度変動や信号配線長による遅延時間が加算され、データ遅延器 10 が収束するために必要な可変遅延回路 12 の遅延可変幅は更に大きくなる。ここで可変遅延回路 12 の遅延可変幅が伝送路クロックの 1 周期以上になると、互いに伝送路クロックの 1 周期分の位相差を有する 2 点がデータ遅延器 10 の収束位相点として存在する場合がある。この場合データ遅延器 10 は双安定な制御ループとなり、収束動作が不安定となる問題がある。

【0047】図 7 は本実施の形態 5 を示すクロック再生／識別装置の構成図である。図 5 と比較して、入力データが第 2 の可変遅延回路 20 を介して可変遅延回路 12 に入力されていることが異なる。第 2 の可変遅延回路 20 の遅延時間は遅延制御端子 21 に与える信号によって決まる。

【0048】図 8 は第 2 の可変遅延回路 20 の具体的な一例を示す構成図である。図において、201～204 は遅延ゲートであり、205 はセクタである。入力信号は遅延ゲート 201 を介してセクタ 205 に入力される。また遅延ゲート 201～204 は縦列接続されており、各遅延ゲートの出力がセクタ 205 に入力される。セクタ 205 は制御信号 21 により、遅延ゲート 201～204 の出力を選択して出力する。各遅延ゲート 201～204 の遅延量は予め伝送路クロックの 1/



4 周期に設定されている。従ってセクタ 205 は伝送路クロックの 1/4 周期毎に位相のずれた信号を、制御信号 21 により選択して出力できる。

【0049】遅延制御端子 21 に与える信号は、データ遅延器 10 が収束するために必要な可変遅延回路 12 の遅延可変幅が、伝送路クロックの 1 周期以下となるように与える。例えばクロック抽出手段 6 での信号遅延時間や信号配線長による遅延時間は予め予測する事ができ、第 2 の可変遅延回路 20 の遅延時間が、クロック抽出手段 6 での信号遅延時間と信号配線長による遅延時間との和に等しく設定できる。この場合に可変遅延回路 12 の遅延可変幅は、第 2 の可変遅延回路 20 とクロック抽出手段 6 および可変遅延回路 12 の遅延時間の温度変動分を包含していればよい。

【0050】以上のように本実施の形態 5 では、データ遅延器 10 が双安定な制御ループとなるような、伝送路クロックの 1 周期以上の遅延可変幅が可変遅延回路 12 に必要な遅延条件においても、固定の遅延時間を第 2 の可変遅延回路 20 に割り当てることにより、可変遅延回路 12 の遅延可変幅が伝送路クロックの 1 周期以内となり、収束動作が安定となる。

【0051】また上記例では、第 2 の可変遅延回路 20 が図 8 に示される構成として説明したが、制御信号によって位相の異なる信号を出力する他の構成の可変遅延回路でもよい。更に上記例では、入力データが第 2 の可変遅延回路 20 を介して可変遅延回路 12 に入力されているとして説明したが、入力データが可変遅延回路 12 に入力され、可変遅延回路 12 の出力信号を第 2 の可変遅延回路 20 に入力してもよく、上記例と同様の効果を得ることができる。

【0052】実施の形態 6. 図 9 は本実施の形態 6 を示すクロック再生/識別装置の構成図である。図 5 と比較して、入力データが第 2 の可変遅延回路 20 を介してクロック抽出手段 6 に入力されていることが異なる。第 2 の可変遅延回路 20 の遅延時間は遅延制御端子 21 に与える信号によって決まる。第 2 の可変遅延回路 20 の具体的な動作は実施の形態 5 と同様である。

【0053】本実施の形態 6 では、クロック抽出手段 6 から出力される伝送路クロックの位相は、クロック抽出手段 6 での遅延時間と信号配線長による遅延時間に加えて、第 2 の可変遅延回路 20 の遅延時間が加算される。従って入力データと伝送路クロックとの位相差が伝送路クロックの 1 周期となるように、第 2 の可変遅延回路 20 の遅延時間が設定されれば、データ遅延器 10 が収束するために必要な可変遅延回路 12 の遅延可変幅は、第 2 の可変遅延回路 20 とクロック抽出手段 6 および可変遅延回路 12 の遅延時間の温度変動分を包含していればよい。

【0054】データ遅延器 10 が双安定な制御ループとなるような、伝送路クロックの 1 周期以上の遅延可変幅

が可変遅延回路 12 に必要な遅延条件において、固定の遅延時間を第 2 の可変遅延回路 20 に割り当てることにより、可変遅延回路 12 の遅延可変幅が伝送路クロックの 1 周期以内に抑えられる事は実施の形態 5 と同様である。以上のように本実施の形態では、伝送路クロックの 1 周期以上の遅延可変幅が可変遅延回路 12 に必要な遅延条件においても、収束動作が安定となる。

【0055】また上記例では、第 2 の可変遅延回路 20 が図 8 に示される構成として説明したが、制御信号によって位相の異なる信号を出力する他の構成の可変遅延回路でもよい。更に上記例では、入力データが第 2 の可変遅延回路 20 を介してクロック抽出手段 6 に入力されているとして説明したが、入力データがクロック抽出手段 6 に入力され、クロック抽出手段 6 の出力信号を第 2 の可変遅延回路 20 に入力してもよく、上記例と同様の効果を得ることができる。

【0056】実施の形態 7. 図 10 は本実施の形態 7 を示すクロック再生/識別装置の構成図である。図 5 と比較して、VC04 の出力信号が第 2 の可変遅延回路 20 を介して識別器 9 に入力されていることが異なる。第 2 の可変遅延回路 20 の遅延時間は遅延制御端子 21 に与える信号によって決まる。第 2 の可変遅延回路 20 の具体的な動作は実施の形態 5 と同様である。

【0057】本実施の形態 7 では、位相同期手段 1 とデータ遅延器 10 の動作が収束している場合には、周波数同調器 8 と VC04 の出力信号位相が一致している。また可変遅延回路 12 と第 2 の可変遅延回路 20 の出力信号位相が一致している。即ちデータ遅延器 10 が収束するために必要な可変遅延回路 12 の遅延可変幅は、クロック抽出手段 6 での遅延時間と信号配線長による遅延時間に加えて、第 2 の可変遅延回路 20 の遅延時間が加算される。従って入力データと第 2 の可変遅延回路 20 の出力との位相差が伝送路クロックの 1 周期となるように、第 2 の可変遅延回路 20 の遅延時間が設定されれば、データ遅延器 10 が収束するために必要な可変遅延回路 12 の遅延可変幅は、第 2 の可変遅延回路 20 とクロック抽出手段 6 および可変遅延回路 12 の遅延時間の温度変動分を包含していればよい。

【0058】データ遅延器 10 が双安定な制御ループとなるような、伝送路クロックの 1 周期以上の遅延可変幅が可変遅延回路 12 に必要な遅延条件において、固定の遅延時間を第 2 の可変遅延回路 20 に割り当てることにより、可変遅延回路 12 の遅延可変幅が伝送路クロックの 1 周期以内に抑えられる事は実施の形態 5 と同様である。以上のように本実施の形態 7 では、伝送路クロックの 1 周期以上の遅延可変幅が可変遅延回路 12 に必要な遅延条件においても、収束動作が安定となる。

【0059】また上記例では、第 2 の可変遅延回路 20 が図 8 に示される構成として説明したが、制御信号によって位相の異なる信号を出力する他の構成の可変遅延回

路でもよい。更に上記例では、VC04 の出力信号が第 2 の可変遅延回路 20 を介して識別器 9 に入力されているとして説明したが、VC04 の出力信号が識別器 9 に入力され、VC04 の出力信号が第 2 の可変遅延回路 20 を介して位相比較回路 2 に入力してもよく、上記例と同様の効果を得ることができる。

【0060】実施の形態 8. 図 6 に示す実施の形態 4 において、位相同期手段 1 とクロック遅延器 11 の動作が収束している場合には、周波数同調器 8 と VC04 との出力信号位相が一致している。また入力データと可変遅延回路 12 との出力信号位相が一致している。即ち可変遅延回路 12 の遅延時間とクロック抽出手段 6 での信号遅延時間との和が伝送路クロックの 1 周期となるように制御されている。可変遅延回路 12 の遅延可変幅が伝送路クロックの 1 周期以上になると、互いに伝送路クロックの 1 周期分の位相差を有する 2 点がクロック遅延器 11 の収束位相点として存在する場合がある。この場合クロック遅延器 11 は双安定な制御ループとなり、収束動作が不安定となる問題があることは、図 5 に示す実施の形態 3 と同様である。

【0061】図 11 は本実施の形態 8 を示すクロック再生／識別装置の構成図である。図 6 と比較して、入力データが第 2 の可変遅延回路 20 を介して位相比較回路 13 に入力されていることが異なる。第 2 の可変遅延回路 20 の遅延時間は遅延制御端子 21 に与える信号によって決まる。第 2 の可変遅延回路 20 の具体的な動作は実施の形態 5 と同様である。

【0062】遅延制御端子 21 に与える信号は、クロック遅延器 11 が収束するために必要な可変遅延回路 12 の遅延可変幅が、伝送路クロックの 1 周期以下となるように与える。即ち第 2 の可変遅延回路 20 の遅延時間が、クロック抽出手段 6 での信号遅延時間と信号配線長による遅延時間の加算分に等しく設定されれば、可変遅延回路 12 の遅延可変幅は第 2 の可変遅延回路 20 とクロック抽出手段 6 および可変遅延回路 12 の遅延時間の温度変動分を包含していればよい。

【0063】以上のように本実施の形態 8 では、クロック遅延器 11 が双安定な制御ループとなるような、伝送路クロックの 1 周期以上の遅延可変幅が可変遅延回路 12 に必要な遅延条件においても、固定の遅延時間を第 2 の可変遅延回路 20 に割り当てることにより、可変遅延回路 12 の遅延可変幅が伝送路クロックの 1 周期以内となり、収束動作が安定となる。

【0064】また上記例では、第 2 の可変遅延回路 20 が図 8 に示される構成として説明したが、制御信号によって位相の異なる信号を出力する他の構成の可変遅延回路でもよい。

【0065】実施の形態 9. 図 12 は本実施の形態 9 を示すクロック再生／識別装置の構成図である。図 6 と比較して、入力データが第 2 の可変遅延回路 20 を介して

クロック抽出手段 6 に入力されていることが異なる。第 2 の可変遅延回路 20 の遅延時間は遅延制御端子 21 に与える信号によって決まる。第 2 の可変遅延回路 20 の具体的な動作は実施の形態 5 と同様である。

【0066】本実施の形態 9 では、クロック抽出手段 6 から出力される伝送路クロックの位相は、クロック抽出手段 6 での遅延時間と信号配線長による遅延時間に加えて、第 2 の可変遅延回路 20 の遅延時間が加算される。従って入力データと伝送路クロックとの位相差が伝送路クロックの 1 周期となるように、第 2 の可変遅延回路 20 の遅延時間が設定されれば、クロック遅延器 11 が収束するために必要な可変遅延回路 12 の遅延可変幅は、第 2 の可変遅延回路 20 とクロック抽出手段 6 および可変遅延回路 12 の遅延時間の温度変動分を包含していればよい。

【0067】クロック遅延器 11 が双安定な制御ループとなるような、伝送路クロックの 1 周期以上の遅延可変幅が可変遅延回路 12 に必要な遅延条件において、固定の遅延時間を第 2 の可変遅延回路 20 に割り当てることにより、可変遅延回路 12 の遅延可変幅が伝送路クロックの 1 周期以内に抑えられる事は実施の形態 5 と同様である。以上のように本実施の形態では、伝送路クロックの 1 周期以上の遅延可変幅が可変遅延回路 12 に必要な遅延条件においても、収束動作が安定となる。

【0068】また上記例では、第 2 の可変遅延回路 20 が図 8 に示される構成として説明したが、制御信号によって位相の異なる信号を出力する他の構成の可変遅延回路でもよい。更に上記例では、入力データが第 2 の可変遅延回路 20 を介してクロック抽出手段 6 に入力されているとして説明したが、入力データがクロック抽出手段 6 に入力され、クロック抽出手段 6 の出力信号を第 2 の可変遅延回路 20 に入力してもよく、上記例と同様の効果を得ることができる。

【0069】実施の形態 10. 図 13 は本実施の形態 10 を示すクロック再生／識別装置の構成図である。図 6 と比較して、VC04 の出力信号が第 2 の可変遅延回路 20 を介して可変遅延回路 12 に入力されていることが異なる。第 2 の可変遅延回路 20 の遅延時間は遅延制御端子 21 に与える信号によって決まる。第 2 の可変遅延回路 20 の具体的な動作は実施の形態 5 と同様である。

【0070】本実施の形態 10 では、位相同期手段 1 とクロック遅延器 11 の動作が収束している場合には、周波数同調器 8 と VC04 の出力信号位相が一致している。また入力データと可変遅延回路 12 の出力信号位相が一致している。即ちクロック遅延器 11 が収束するために必要な可変遅延回路 12 の遅延可変幅は、クロック抽出手段 6 での遅延時間と信号配線長による遅延時間に加えて、第 2 の可変遅延回路 20 の遅延時間が加算される。従って入力データと第 2 の可変遅延回路 20 の出力との位相差が伝送路クロックの 1 周期となるように、第 2 の

可変遅延回路 20 の遅延時間が設定されれば、クロック遅延器 11 が収束するために必要な可変遅延回路 12 の遅延可変幅は、第 2 の可変遅延回路 20 とクロック抽出手段 6 および可変遅延回路 12 の遅延時間の温度変動分を包含していればよい。

【0071】クロック遅延器 11 が双安定な制御ループとなるような、伝送路クロックの 1 周期以上の遅延可変幅が可変遅延回路 12 に必要な遅延条件において、固定の遅延時間を第 2 の可変遅延回路 20 に割り当てることにより、可変遅延回路 12 の遅延可変幅が伝送路クロックの 1 周期以内に抑えられる事は実施の形態 5 と同様である。以上のように本実施の形態では、伝送路クロックの 1 周期以上の遅延可変幅が可変遅延回路 12 に必要な遅延条件においても、収束動作が安定となる。

【0072】また上記例では、第 2 の可変遅延回路 20 が図 8 に示される構成として説明したが、制御信号によって位相の異なる信号を出力する他の構成の可変遅延回路でもよい。更に上記実施の形態では、VC04 の出力信号が第 2 の可変遅延回路 20 を介して可変遅延回路 12 に入力されているとして説明したが、VC04 の出力信号が可変遅延回路 12 に入力され、VC04 の出力信号が第 2 の可変遅延回路 20 を介して位相比較回路 2 に入力してもよく、上記例と同様の効果を得ることができる。更に上記例では、VC04 の出力信号が第 2 の可変遅延回路 20 を介して可変遅延回路 12 に入力されているとして説明したが、VC04 の出力信号が可変遅延回路 12 に入力され、可変遅延回路 12 の出力信号が第 2 の可変遅延回路 20 を介して位相比較回路 13 および識別器 9 に入力してもよく、上記例と同様の効果を得ることができる。

【図面の簡単な説明】

【図 1】 実施の形態 1 によるクロック再生／識別装置の構成図である。

【図 2】 クロック抽出手段の構成図である。

【図 3】 クロック抽出手段のタイミングチャートである。

【図 4】 実施の形態 2 によるクロック再生／識別装置の構成図である。

【図 5】 実施の形態 3 によるクロック再生／識別装置の構成図である。

【図 6】 実施の形態 4 によるクロック再生／識別装置

の構成図である。

【図 7】 実施の形態 5 を示すクロック再生／識別装置の構成図である。

【図 8】 第 2 の可変遅延回路 20 の具体的な一例を示す構成図である。

【図 9】 実施の形態 6 を示すクロック再生／識別装置の構成図である。

【図 10】 実施の形態 7 を示すクロック再生／識別装置の構成図である。

10 【図 11】 実施の形態 8 を示すクロック再生／識別装置の構成図である。

【図 12】 実施の形態 9 を示すクロック再生／識別装置の構成図である。

【図 13】 実施の形態 10 を示すクロック再生／識別装置の構成図である。

【図 14】 従来のクロック再生／識別装置の構成図である。

【図 15】 位相比較回路の特性を示す図である。

20 【図 16】 電圧制御発振回路の制御電圧対発振周波数特性を示す図である。

【図 17】 識別クロックの位相を示すタイミングチャートである。

【図 18】 入力データに歪みがある場合の位相同期手段のタイミングチャートである。

【符号の説明】

- 1 位相同期手段
- 2 位相比較回路
- 3 積分回路
- 4 電圧制御発振回路
- 5 識別手段
- 6 クロック抽出手段
- 7 変化点検出回路
- 8 周波数同調器
- 9 識別器

10 データ遅延器

11 クロック遅延器

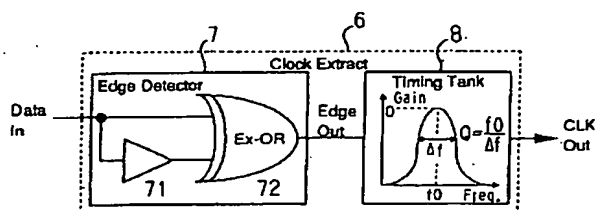
12 可変遅延回路

13 位相比較回路

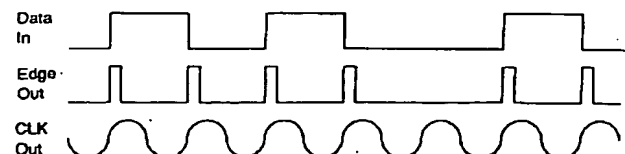
20 第 2 の可変遅延回路

40 21 遅延制御端子

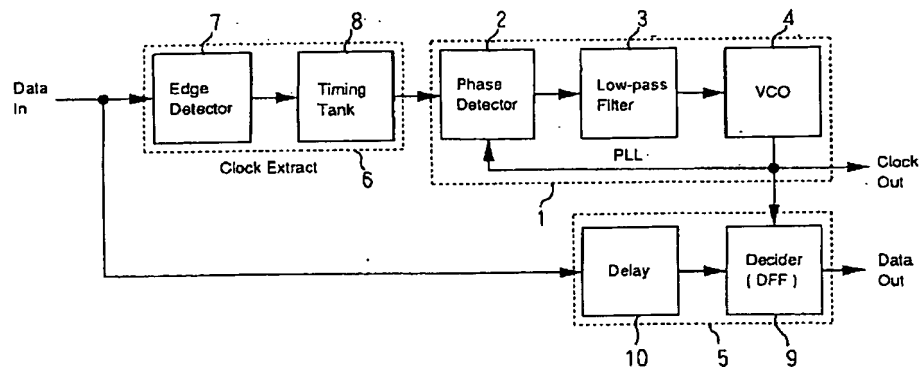
【図 2】



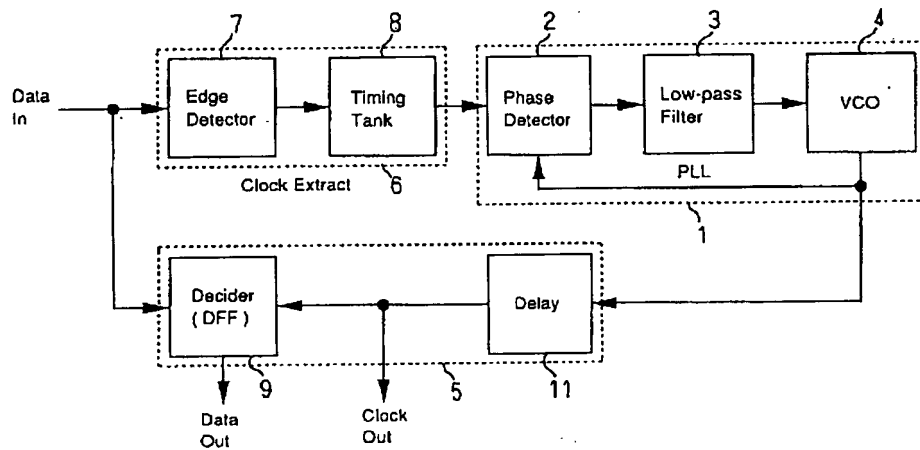
【図 3】



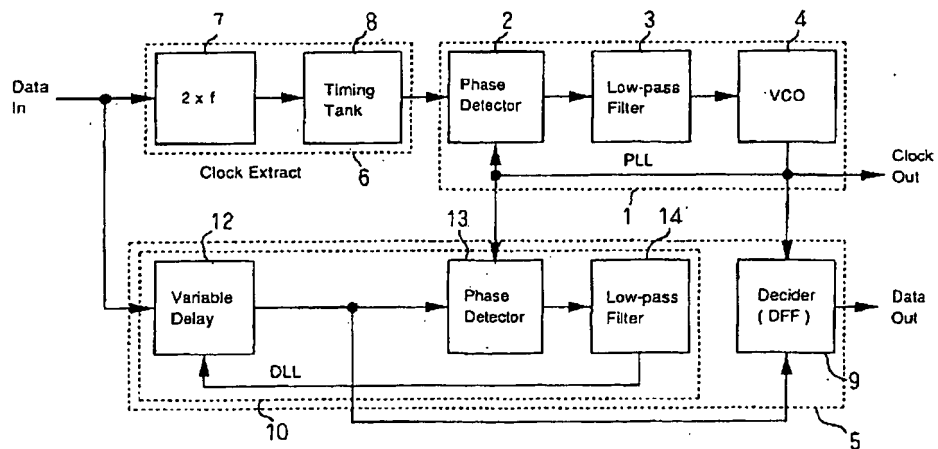
【図 1】



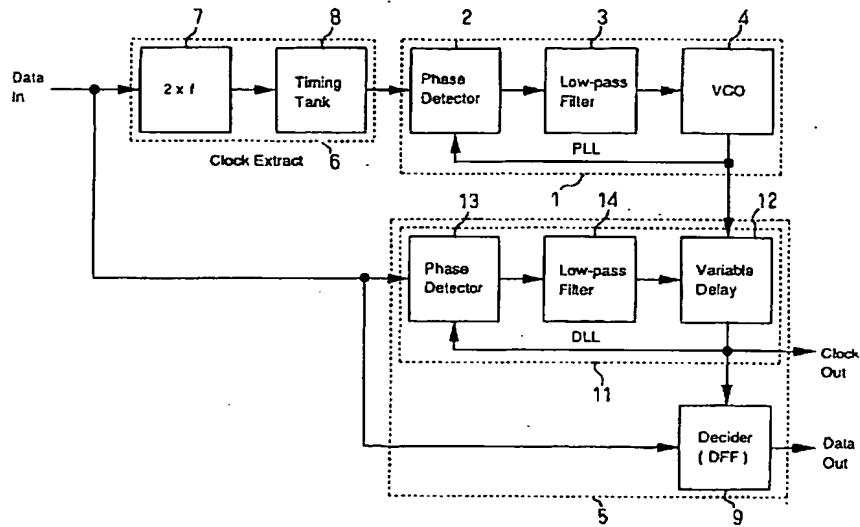
【図 4】



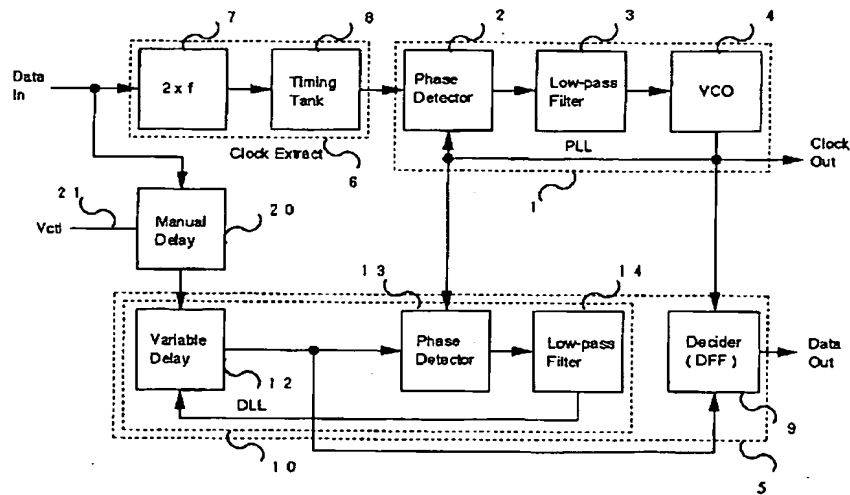
【図 5】



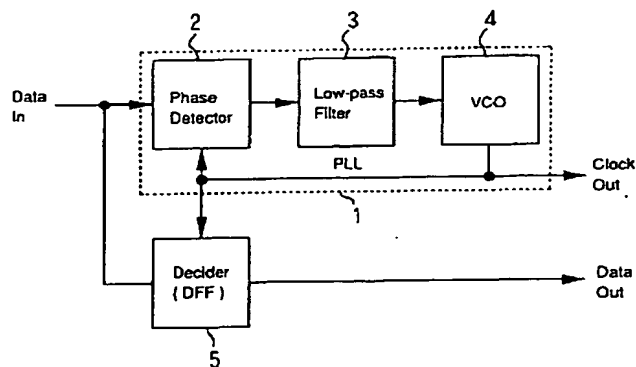
【図 6】



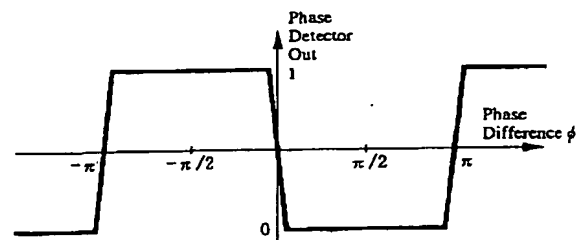
【図 7】



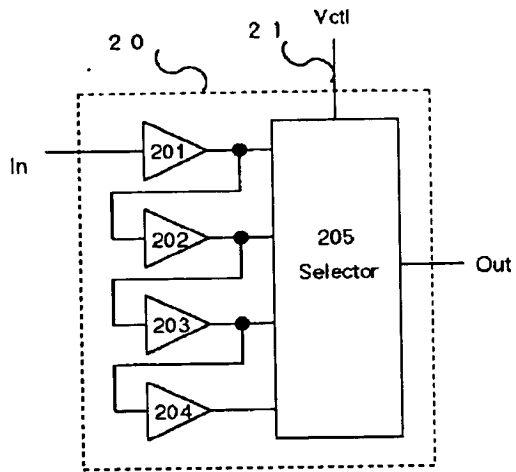
【図 14】



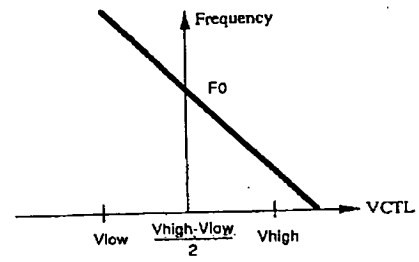
【図 15】



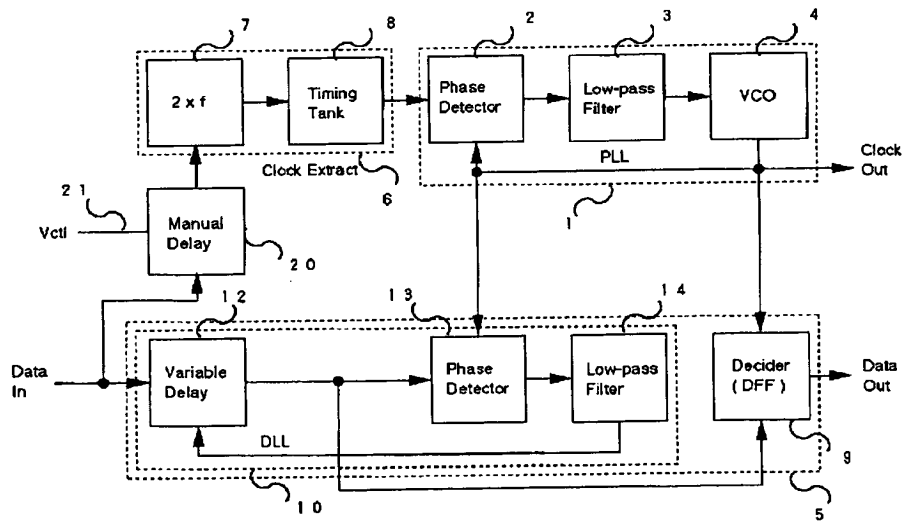
【図 8】



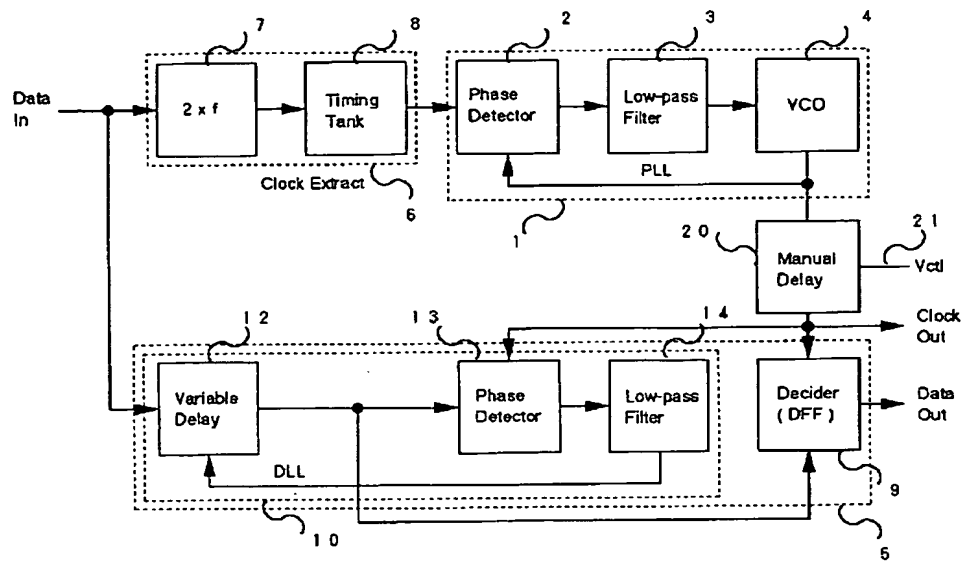
【図 16】



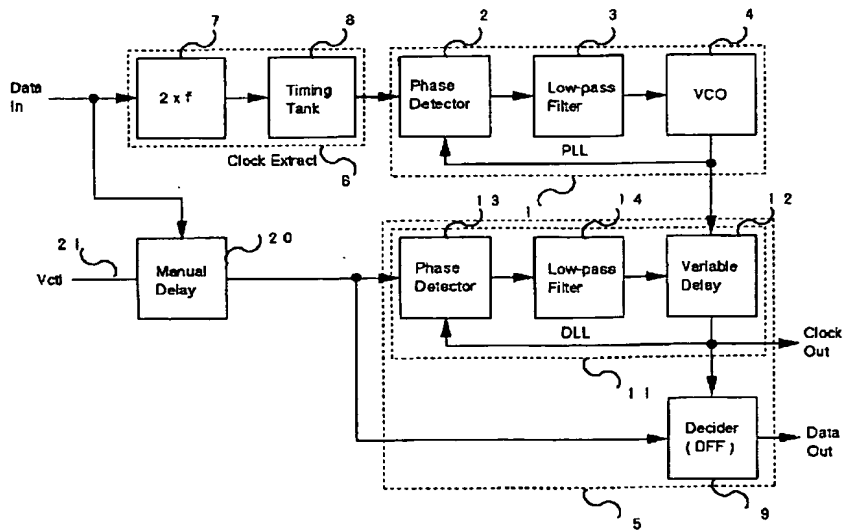
【図 9】



【図 10】



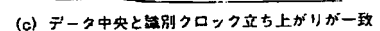
【図 11】



The diagram illustrates a PLL/DLL system architecture. It features a 'Manual Delay' block (20) that receives 'Data In' (1) and 'Vctrl' (21) signals. The output of the manual delay is connected to a 'Clock Extract' block (6), which contains a '2 x f' multiplier (7) and a 'Timing Tank' (8). The output of the 'Clock Extract' block is connected to the 'Phase Detector' (2) of the PLL. The PLL also includes a 'Low-pass Filter' (3) and a 'VCO' (4). The output of the VCO is connected to the 'Clock Out' signal (12) and the 'Variable Delay' block (14) of the DLL. The DLL also includes a 'Phase Detector' (13) and a 'Low-pass Filter' (11). The output of the DLL's 'Variable Delay' block is connected to the 'Clock Out' signal (12) and the 'Decider (DFF)' block (9). The 'Decider (DFF)' block receives 'Data In' (1) and 'Clock Out' (12) signals and outputs 'Data Out'.

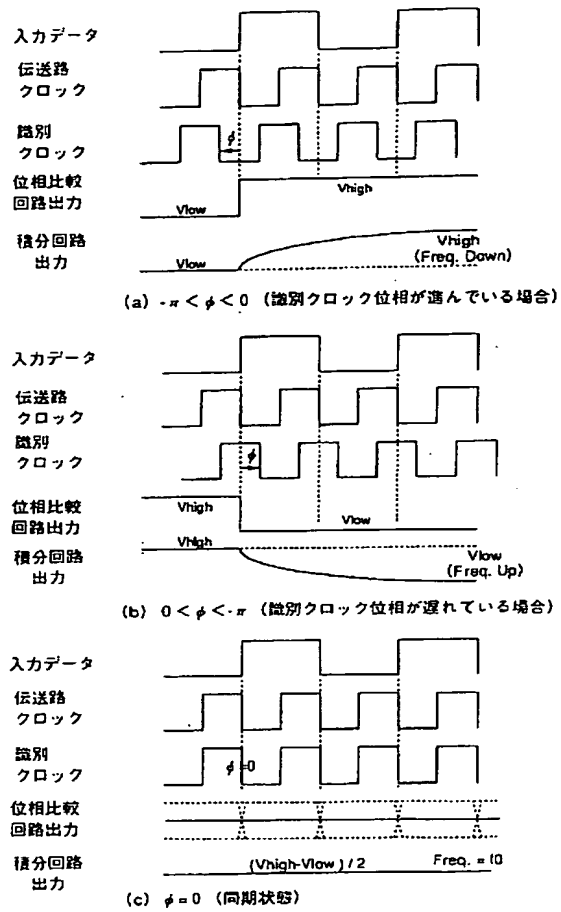
The diagram illustrates a PLL/DLL system. The input 'Data In' splits into two paths. The first path goes through a '2 x f' block (7) and a 'Timing Tank' block (8), which together form the 'Clock Extract' (6). The output of the Timing Tank is connected to the 'Phase Detector' (2) of a PLL block (1). The PLL block also contains a 'Low-pass Filter' (3) and a 'VCO' (4). The output of the VCO is fed back to the Phase Detector (2) and also passes through a 'Manual Delay' block (20) to produce 'Vctrl'. The output of the Manual Delay block is connected to the 'Variable Delay' block (12) of a DLL block (5). The DLL block also contains a 'Phase Detector' (9) and a 'Low-pass Filter' (14). The output of the Variable Delay block (12) is fed back to the Phase Detector (9) and also produces the 'Clock Out'. The output of the Variable Delay block is also connected to a 'Decider (DFF)' block (11), which produces the 'Data Out'.

出力





【図17】



**THIS PAGE BLANK (USPTO)**